



(19)

(11) Publication number: **09130250 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **07281655**(51) Intl. Cl.: **H03M 1/66 H01L 27/04 H01L 21/822 H03M 1/38**(22) Application date: **30.10.95**

(30) Priority:

(43) Date of application publication: **16.05.97**

(84) Designated contracting states:

(71)

Applicant: **CANON INC**(72) Inventor: **KOUCHI TETSUNOBU**

(74)

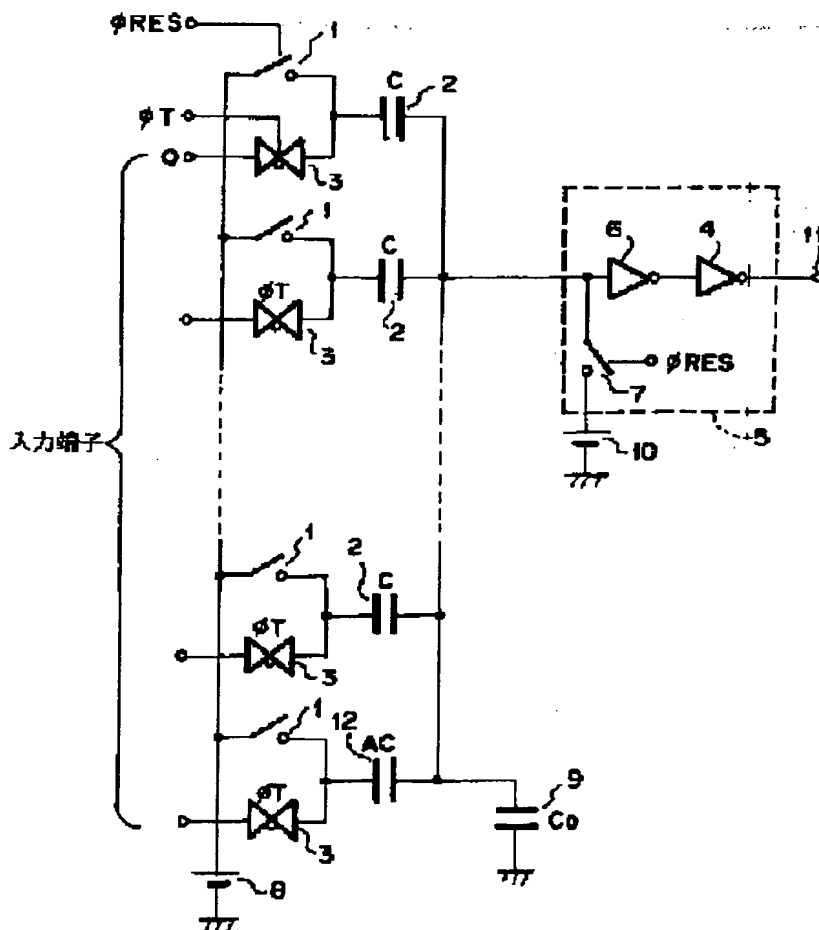
Representative:

(54) SEMICONDUCTOR DEVICE, SEMICONDUCTOR CIRCUIT USING THE SAME, CORRELATION ARITHMETIC UNIT AND SIGNAL PROCESSING SYSTEM

(57) Abstract:

PROBLEM TO BE SOLVED: To execute required arithmetic without uselessly providing any large capacitance by forming any of capacitor means more than one corresponding to multiple input terminals by parallelly connecting plural capacitor means having a minimum capacitance value.

SOLUTION: When the capacitance of a capacitor 2 to be connected to the other input terminal is defined as A, A pieces of capacitors having an A-fold capacitance value are parallelly connected so that a capacitor 12 can be formed. When signals are respectively inputted to N+1 pieces of inputs, the sum adding N+1 pieces of capacitance dividing outputs is inputted to the input terminal of an inverter 6. Based on the amplitude of a signal to be inputted and the size of capacitors 2 and 12 to input the signal, desired weighting is performed to each signal according to desired processing to be performed, and these signals are simultaneously and parallelly operated by a sense amplifier 5. Since a relative value is made more important than the absolute value of each capacitance and the A-folded capacitance is formed by parallelly connecting plural



minimum capacitances, the deviation of ratio between capacitances is suppressed to a minimum.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-130250

(43)公開日 平成9年(1997)5月16日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 1/66			H 0 3 M 1/66	E
H 0 1 L 27/04			1/38	
21/822			H 0 1 L 27/04	E
H 0 3 M 1/38				

審査請求 未請求 請求項の数8 O L (全 13 頁)

(21)出願番号 特願平7-281655

(22)出願日 平成7年(1995)10月30日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 光地 哲伸

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

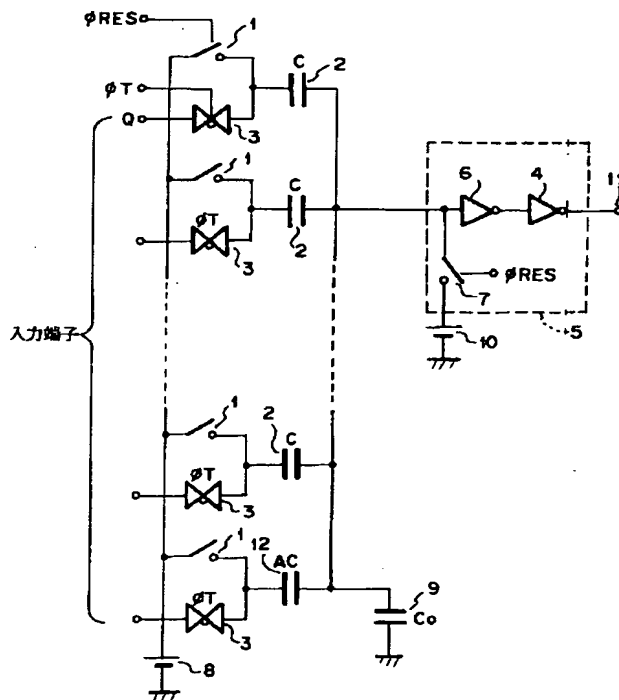
(74)代理人 弁理士 山下 穰平

(54)【発明の名称】 半導体装置、及びそれを用いた半導体回路、相関演算装置、信号処理システム

(57)【要約】

【課題】 少なくとも半導体装置において、演算精度を向上し、且つ回路規模の縮小、演算速度の向上及び消費電力の低減を図ることを課題とする。

【解決手段】 多入力端子にスイッチ手段を介して容量手段が接続され、該各容量手段の一方の端子が共通接続されセンスアンプに入力される半導体装置において、前記多入力端子に対応した容量手段のうち、最小の容量をCとしたとき、前記各入力端子に接続される前記容量手段のうち少なくとも一つ以上が、容量値Cである容量手段を複数個並列接続して形成されることを特徴とする。また、入力信号の少なくとも一つはM進数で表現された多ビット長のデータであり、該入力信号の1ビット目の信号が入力される前記入力端子に接続された前記容量手段の容量値をCとした時、Nビット目の信号が入力される前記入力端子に接続された前記容量手段の容量値がほぼ、 $M^{N-1} \cdot C$ であることを特徴とする。



【特許請求の範囲】

【請求項1】 多入力端子にスイッチ手段を介して容量手段が接続され、該各容量手段の一方の端子が共通接続されセンスアンプに入力される半導体装置において、前記多入力端子に対応した容量手段のうち、最小の容量を容量値Cとしたとき、前記各入力端子に接続される前記容量手段のうち少なくとも一つ以上が、前記容量値Cである前記容量手段を複数個並列接続して形成されることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、10 入力信号の少なくとも一つはM進数で表現された多ビット長のデータであり、該入力信号の1ビット目の信号が入力される前記入力端子に接続された前記容量手段の容量値をCとした時、Nビット目の信号が入力される前記入力端子に接続された前記容量手段の容量値がほぼ $M^{N-1} \cdot C$ であることを特徴とする半導体装置。

【請求項3】 請求項1に記載の半導体装置を複数個有し、該複数個のうち第一の前記半導体装置の出力及び/又は該半導体装置出力の反転出力を第二の前記半導体装置に入力することを特徴とする半導体回路。

【請求項4】 請求項1に記載の半導体装置において、前記多入力端子に対応した容量手段のうち、最小の容量を容量値Cとしたとき、共通接続される容量手段の容量の合計の容量値が前記容量値Cのほぼ奇数倍となっていることを特徴とする半導体装置。

【請求項5】 請求項3記載の半導体回路を使用して相関演算することを特徴とする相関演算装置。

【請求項6】 請求項5に記載の相関演算装置を含むことを特徴とする信号処理システム。

【請求項7】 請求項6に記載の信号処理システムにおいて、画像信号を入力する画像信号入力装置を含むことを特徴とする信号処理システム。

【請求項8】 請求項5に記載の信号処理システムにおいて、情報を記憶する記憶装置を含むことを特徴とする信号処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は並列信号処理を行う半導体装置に関し、特に並列入力端子に接続される容量の所定容量値による重み付けを正確に行うことのできる半導体装置、及びそれを用いた半導体回路、相関演算装置、信号処理システムに関するものである。

【0002】

【従来の技術】 従来、並列演算処理を行う半導体装置においては、並列演算する信号数が増大するにつれて、回路規模が級数的に増大し、製造コストが増加し、歩留まりが低下する。この回路規模の増大に伴って、配線等の遅延増大や、回路内の演算数の増加により、演算速度が低下する。さらに、消費電力が著しく増加するといった問題点があった。

【0003】 例えば、図15に示す固体撮像装置の場合、縦横軸に沿って撮像素子41を配置してエリアセンサとしてのセンシング部60から、走査回路を通して画像信号の時系列アナログ信号を読み取り、A/D変換器40でデジタル信号に変換し一旦フレームメモリ39に格納する。これらの信号を演算回路38により処理し、演算出力回路50から出力する。具体的には異なる時刻のデータ間の相関演算により物体の動き量(ΔX 、 ΔY)などを出力することができる。

【0004】

【発明が解決しようとする課題】 しかしながら、動画像のリアルタイム処理を行おうとする場合は、上記演算処理の処理数が極めて多く、よりリアルな画像を得るためには回路規模が級数的に増大し、そのため処理スピードが遅くなってしまうという問題点があった。例えば、動画像の圧縮・伸長の方式として提案されているMPEG2方式を現実処理できる装置は未だ開発中である。したがって、上述した並列演算処理の問題として、回路規模の増大にともなう演算速度の低下、消費電力の増加という問題点があった。また、そのために製造コストの増加や製造歩留まりの低下という問題点もあった。

【0005】 さらに、上記演算処理回路に有用な多数決演算回路について、日経エレクトロニクス「経済的な多数決論理ICがCMOSで実現した」1973.11.5.132P~144Pに記載されている。しかし、これはデジタル信号処理の一つとして多数決論理回路が開示され、しかもCMOSによって形成されたものでこの場合もCMOSによる素子数が増大し、また演算処理の段数が増加するのでやはり回路規模の増大と消費電力の増加に加え、演算速度の低下という同様な問題点を有していた。

【0006】 係る問題点を解決すべく、本発明者等は例えば特願平7-14094号や特願平7-14098号等において、多入力端子にスイッチ手段を介して容量手段が接続され、該各容量手段の一方の端子が共通接続されセンスアンプに入力される半導体装置を提案している。この提案で、回路規模の縮小、演算速度の向上及び消費電力の低減を図ることができる半導体装置、及びそれを用いた半導体回路、相関演算装置、信号処理システムを達成し得るものである。

【0007】 本発明は、更にこれら半導体装置に改良を加えたもので、特に並列入力端子に接続される容量の所定容量値による重み付けを正確に行うことを課題とし、多数決回路や相関演算回路等の機能を確実に達成できることを課題とする。

【0008】

【課題を解決するための手段】 上記問題点を解決するために、本発明は多入力端子にスイッチ手段を介して容量手段が接続され、該各容量手段の一方の端子が共通接続されセンスアンプに入力される半導体装置において、多

3

入力端子に対応した容量手段のうち最小の容量をCとしたとき、上記各入力端子に接続される容量手段のうち少なくとも一つ以上を、容量値Cである容量手段を複数個並列接続して形成したことを特徴とする。

【0009】上記構成により、入力段にスイッチ手段と容量手段とを複数備え、その出力を共通接続としてセンサンプに入力したことにより、多数決回路や比較回路等の従来複雑であった演算回路を簡易に構成できるので、回路規模の縮小、演算速度の向上、演算精度の向上、消費電力の低減といった効果が得られるものであり、さらに、容量手段に最小の容量の容量値Cに対して重み付けを要求される入力端子に接続される容量手段に、容量値Cの容量手段を複数並列接続とすることにより、フリンジ容量等の影響のない正確な重み付けや高度の演算精度を得るものである。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について、各実施例と共に図面を参照しつつ詳細に説明する。

【0011】[第1の実施例] 図1は本発明による第1の実施例を表す模式説明図である。同図において、1はリセットスイッチ、2はキャパシタ、3は信号転送スイッチ、5はセンサンプ、6はセンサンプ内のインバータ、4はセンサンプ内の第二のインバータ、7はインバータ6の入力端をリセットするための第二のリセットスイッチ、8はリセット電源、10は第二のリセット電源、11は出力端子、9はキャパシタ2の共通接続された一端につく寄生容量C_oを模式的に表わしたもの

$$| C \times (2.5 - V_X) / (A \cdot C + N \cdot C + C_o) | \quad \dots (1)$$

だけ変化する。

【0013】また、キャパシタ12への入力に対して

$$| A \cdot C \times (2.5 - V_X) / (A \cdot C + N \cdot C + C_o) | \quad \dots (2)$$

だけ変化する。

【0014】インバータ6の入力端電圧が論理反転電圧近傍から変化するとインバータ6の出力端電圧はそれに応じて反転する。N+1個の入力にそれぞれ信号が入力されるとインバータ6の入力端には容量分割出力のN+1個の和が入力される。結局、このN+1個の入力の和が正であれば、インバータ6の入力端は論理反転電圧より高電位にシフトしてセンサンプ5の出力端11にはHIGH LEVELが、負であれば低電位にシフトしてLOW LEVELが出力される。本実施例の回路は入力される信号の振幅及び信号が入力されるキャパシタ2、および12の大きさにより個々の信号に、行いたい処理に応じて所望の重み付け（例えば、容量12によりAの重み付け）がなされ、それらが一括でセンサンプ5で並列演算されるものである。

【0015】一般に、半導体装置で容量素子を構成するとき、例えばシリコン基板上に絶縁膜を介して多結晶シリコン膜を形成するなど、二つの導電性膜の平行平板容量をもちいる。本構成においても、理想的には重み付

4

であるがこれに限るものではない。12は他の入力端子に接続するキャパシタ2の容量値を仮にCとした時、そのA倍（Aは正の整数）の容量値をもったキャパシタであり、Cの容量値のキャパシタをA個並列接続して形成されている。

【0012】図2は本実施例の回路の動作タイミング説明図である。同図を用いて本実施例の動作を説明すると、まずリセットパルスφRESによりキャパシタ2、及び12の入力側の一端をリセットする。リセット電圧は例えば電源電圧が5V系であった場合その半分のほぼ2.5Vを用いる。リセット電圧はこれに限るものではなく他の電圧でも良い。また複数の電圧を使用してもよい。この時ほぼ同時にセンサンプ5内のインバータ6の入力端をリセットスイッチ7を導通させることによりリセットする。この時リセット電圧はインバータ5の出力が反転する論理反転電圧近傍の値が選ばれる。リセットパルスφRESをOFFするとキャパシタ2、および12の両端はそれぞれのリセット電位に保持される。次に転送パルスφTにより転送スイッチ3が導通すると信号がキャパシタ2、および12の一端に各入力信号が転送される。たとえばキャパシタの一端の電位が例えば2.5Vのリセット電圧からV_Xに変化する。ここで一例として、寄生容量の容量値をC_oとし、キャパシタ2がN個、キャパシタ12が一個並列に接続されている場合、キャパシタ2の共通接続された一端は一個のキャパシタ2への入力に対して容量分割によりインバータ6のリセット電位から、

は、

け端子にCのA倍の面積の平行平板容量を用いればよいが、実際には電極は有限の厚みをもっていることから平行平板容量に加えてフリンジ容量が重畳してしまう。また、半導体装置の製造工程において、容量素子の面積は前記導電性膜をエッチングした形状により決まるものである。製造工程の条件変動があるため、正確にA倍の面積を形成することは困難であった。

【0016】以上の理由により、従来は正確にA倍の容量を形成することは困難であり、正確な重み付けを設定することができずに演算精度が低下するという問題点があった。また、上記のフリンジ容量や製造工程の条件変動の影響を少なくするため各容量素子の容量値を大きくすると、電荷の充放電に時間がかかり、演算速度が著しく低下するという問題点があった。

【0017】本回路は、(1)式で示したように各容量の絶対値より相対比が重要であるので、本発明のごとく、A倍の容量を最小の容量Cを複数個（A個）並列接続して形成することで、小さな面積の容量で構成しても個々の容量のフリンジ容量や製造工程の条件変動によ

り、容量間の比のずれが最小限に抑えられる。この並列接続について、より具体的には、最小の容量Cを複数個並べてコンタクトホールを介してA1配線するとか、当該複数個をWSi膜、Tisi膜等で導通する手段等が採用される。

【0018】結果として高速、高精度な並列演算を低消費電力で行えるものである。また入力数の増大に対して、回路規模は高々それに比例して増加する程度であり、従来の並列演算回路に対し大幅な回路規模の縮小と、併せて製造歩留まりの向上がはかれるものである。加えて回路規模の縮小、演算速度の向上に伴いさらに消費電力を低減することは言うまでもない。

【0019】〔第2の実施例〕図3に、本発明を多階調の複数データの大きさを判定する回路に応用した実施例の模式説明図を示す。一例として二階調の二つの2進数データの和が、和の最大値の二分の一以上を占めたときに、HIGH LEVELを出力する多数決演算回路について示す。なお、図1と同一符号のものは同様な動作・機能を有するものとする。本回路において、二階調の二つの入力は、それぞれ上位ビット(MSB)は2Cの重み付けをした入力端子201Aに、下位ビット(LSB)は1Cの重み付けの入力端子201Bに入力される。加えて共通接続されているもう一つの1Cの重み付けの入力端子201CにはLOW LEVELの信号が常時印加されている。入力端子201Cを追加したのは、容量Cの奇数倍として多数決を判断するためである。

【0020】本回路構成は結局7Cの容量が共通接続された構成になっているので、そのうちの4C以上の容量にHIGH LEVELが印加されたときインバータ6の入力端は論理反転電圧より高電位にシフトしてセンスアンプ5の出力端11にはHIGH LEVELが出力される。

【0021】本実施例による演算結果である多数決判定結果を図4に示す。同図からわかるように、二階調の二つのデータの和が、和の最大値の二分の一以上を占めたときにHIGH LEVELを出力される。本実施例により、図4のような複雑な演算を非常に簡単な回路構成で行うことができるものであり、回路規模が小さいことから低コスト、低消費電力、入力信号を一括並列演算することから演算速度の向上といった効果が得られるものである。

【0022】また、本実施例では二階調、二入力の例について説明したが、勿論これに限るものではなく、さらに多階調、多入力の信号処理に応用できることはいうまでもない。例えば、3階調、2入力の2進数データの場合には、2つの入力端子に4Cの重み付けを、2つの入力端子に2Cの重み付けを、2つの入力端子にCの重み付けを、というように、 $2^{N-1} \cdot C$ ($N=1, 2, 3, \dots$) の重み付けを設けた回路構成で、多数決判定の演算処理を行うことができる。

【0023】また、本実施例では二階調の二つのデータの和が、和の最大値の二分の一以上を占めたときに、HI

GH LEVELを出力するよう構成したが、これに限るものではなく、任意の論理を実現できることはいうまでもない。そのときに任意の論理を実現する方法として、キャパシタ2の容量値を変えてもよいし、入力する信号の極性を変えてもよいし、入力する信号の振幅を多値レベルで変えてもよい。またそれらを併用することでより複雑な論理を簡単に実現することができる。

【0024】〔第3の実施例〕第3の実施例について、図5に示す模式図を参照しつつ説明する。第1、第2の実施例で説明した並列演算回路を複数接続することにより、より高度な並列演算を実現したものである。

【0025】同図において、501A~Cは図1に一例を示したように、それぞれ多入力端子を有し、転送スイッチ3、キャパシタ2、12、センスアンプ5等から構成された並列演算ブロックである。502は入力端子、503はセンスアンプ5からの出力端子であり、図1の出力端子11に相当する。並列演算回路ブロック501A、501Cの出力端子503は並列演算回路ブロック501Bに接続しており、出力端子503から出力された出力信号は、並列演算回路ブロック501Bのそれぞれ一つの入力信号となり、他の入力端子にも同様な並列演算回路ブロックの出力が接続されている。このように、本発明によりなる並列演算回路ブロックを複数個直列にもしくは並列に、もしくは両方組み合わせることでより高度な並列演算処理を実現することができる。

【0026】本実施例では三つの並列演算回路ブロックの接続を例にとって説明したが、もちろんこれに限るものではなく、所望の演算処理を実現するために自由に組み合わせられるものである。また、本発明よりなる並列演算回路ブロックと従来の半導体論理回路ブロックを組み合わせてもよいことはいうまでもない。

【0027】また、本実施例では信号を順次伝搬していく場合の接続を例にとって説明したが、もちろんこれに限るものではなく、後段の出力を前段の入力信号としてもよい。

【0028】〔第4の実施例〕図6に第1、第2の実施例によって説明した半導体装置を相関演算回路に応用した実施例の模式説明図を示す。本回路は複数のデータと基準データとを各々比較し、各々の相関度の和を相関スコアとして二進数で出力するものである。

【0029】一例として二階調データの5入力の相関演算回路を示している。図6において、601A~601Dは、図1に一例を示したように、各々多入力端子を有しリセットスイッチ1、キャパシタ2、信号転送スイッチ3、センスアンプ5等から構成された半導体装置よりなる多数決演算回路ブロックである。602は比較器、603はインバータである。図7が多数決演算回路ブロック601Aに、図8が多数決演算回路ブロック601Bに、図9が多数決演算回路ブロック601Cに、図1

0が多数決演算回路ブロック601Dに各々対応する。

【0030】同図において、各入力信号はそれぞれまず比較器602に入力され、他方の入力の相関係数と比較される。比較器602はそれぞれの入力信号と相関係数との相関度を二進数で出力する。比較器602のそれぞれの出力は多数決演算回路ブロック601Aに入力される。たとえば二階調データの5入力の多数決演算回路ブロック601Aに比較器602の出力が入力されると、本回路構成は結局15Cの容量が共通接続された構成になっているので、そのうちの8C以上の容量にHIGH LEVELが印加されたときインバータ6の入力端は論理反転電圧より高電位にシフトしてセンスアンプの出力端11にはHIGH LEVELが出力される。多数決演算回路ブロック601Aの出力値を入力のHIGH LEVELの数ごとに示すと、図11のS4に示す値となる。但し、「1」はHIGH LEVELを、「0」はLOW LEVELを示す。

【0031】次に図6に示すように、多数決演算回路ブロック601Aの出力をインバータ603で極性反転して、多数決演算回路ブロック601Bの重みづけ入力端子に印加する。図8において、801はほかの入力端子経路に接続するキャパシタ2の最小値をCとすると、そのおよそ8倍の容量値を持ったキャパシタであり、キャパシタ2を8個並列接続する。同回路はセンスアンプ5の入力に23Cの容量が共通接続され、そのうち8Cに重み付けされた入力端子からの信号が印加され、他の15Cには多数決演算回路ブロック601Aに入力されたものと同じ信号が印加される構成の多数決演算回路である。したがって、全容量のうち12C以上にHIGH LEVELが印加された場合、トータルとして多数決演算回路601Bは過半数であるとの判定を下し、HIGH LEVELを出力する。

【0032】例えば前段の多数決演算回路ブロック601Aの出力がHIGH LEVELであった場合（8C以上にHIGH LEVELが印加）、先に述べたように重み付け入力端子にはLOW LEVELが印加される。さらに重み付け入力端子以外の入力端子に加えられる信号のうち12C以上の容量にHIGH LEVELが印加された場合、トータルとして多数決演算回路601Bは過半数であるとの判定を下し、HIGH LEVELを出力する。8C以上11C以下の場合には過半数に至らずLOW LEVELを出力する。

【0033】一方、前段の多数決演算回路ブロック601Aの出力がLOW LEVELであった場合には、重み付け入力端子にはHIGH LEVELが印加される。入力により4C以上7C以下がHIGH LEVELであった場合は、8C+4C（8Cは重み付け分）～8C+7C（8Cは重み付け分）は12C以上で、過半数と判定され、HIGH LEVELが出力される。また、3C以下がHIGH LEVELであった場合、8C+0または8C+Cは12C以下でLOW LEVELが出力される。多数決演算回路ブロック601Bの出力値を入力のHIGH LEVELの数ごとに示すと図11のS3のようにな

る。

【0034】また、多数決演算回路ブロック601Cについても、図9に示すように8倍の容量値901、4倍の容量値902を有する二つの重み付け端子を備えている。そうして図9に示すように8Cの重み付け端子の入力には多数決演算回路ブロック601Aの、4Cの重み付け端子の入力には多数決演算回路ブロック601Bの出力の反転信号を印加して、他の入力端子には601Aに入力されたものと同じ信号が印加される。こうして、計27C（=15C+4C+8C）のキャパシタを共通接続した多数決演算回路ブロックとして動作させることにより図11のS2に示したような出力が得られる。

【0035】同様に、多数決演算回路ブロック601Dについても、図10に示したように、計29C（=15C+2C+4C+8C）のキャパシタを共通接続した多数決演算回路ブロックとして動作させることにより図11のS1に示したような出力が得られるものである。

【0036】本回路構成により、図11に示したように二階調の相関度の五入力の和を相関スコアとして4桁の2進数に変換して出力することができる。

【0037】より一般化すれば、入力信号の少なくとも一つがM進数で表現された多ビット長のデータであり、入力信号の1ビット目の信号が入力される入力端子に接続された容量手段の容量値をCとした時、Nビット目の信号が入力される入力端子に接続された容量手段の容量値は、ほぼ $M^{N-1} \cdot C$ であれば、当該相関演算の結果を得ることができる。

【0038】本発明よりなる回路構成を用いることにより、従来に比べ回路規模を縮小してかつ高速な演算が可能で消費電力も少ない相関演算回路を実現することができる。

【0039】以上説明したように、多入力端子の各々に対応した容量手段の一方を共通接続し、センスアンプへ入力する回路ブロックでは、上記多入力端子に接続した容量のうち、最小の容量をCとしたとき、上記容量手段の合計はほぼCの奇数倍となっている。しかも、その奇数倍のうち、重み付けを有する入力端子に接続される容量はそれぞれ最小容量値Cを並列に接続したものである。最小容量値Cの奇数倍の値が正確となり、精度の高い相関演算の結果を得ることができる。

【0040】[第5の実施例] 本発明の第5実施例を図12に示している。第5実施例は、本発明の半導体装置を従来回路技術と融合し、動き検出チップを実現したものである。同図において、3001、3002は各々基準データ、参照データが格納されているメモリ部、3003は相関演算部、3004はチップ全体を制御するコントロール部、3005は相関結果の加算演算部、3006は3005の加算結果の最小値を格納しているレジスタ部、3007は比較器および最小値のアドレス格納を行う部分、3008は出力バッファおよび出力結果格

納部である。端子3009には基準データ列が入力され、一方、基準データ列と比較すべき参照データ列が端子3010から入力される。

【0041】メモリ部3001、3002は、SRAMからなり通常のCMOS回路で構成される。相関演算部3003に送られたデータは、本発明の相関器により構成されるため、並列処理であり、極めて高速化が達成されるばかりでなく、少ない素子数で構成でき、またチップサイズが小さくなり、低コスト化を実現することができるものである。相関演算結果は3005の加算演算部で相関演算のスコア（評価）を行ない、上記相関演算以前までの最大相関結果（加算値が最小となる）が格納されているレジスタ部3006との比較を出力バッファおよび出力結果格納部3008で行なう。仮に、今回の演算結果が前日までの最小値よりもさらに小さい場合は、その結果が新たにレジスタ部3006に格納され、前回までの結果が小さい場合は、その結果が維持される。

【0042】このような動作を行なうことにより、最大相関結果が常にレジスタ部3006に格納され、すべてのデータ列の演算終了後、その結果が端子3011より出力される。コントロール部3004、加算演算部3005、レジスタ部3006、および3007、3008は、今回通常CMOS回路により構成したが、特に加算演算部3005などは本発明の回路構成を用いることにより、並列加算を実現でき、高速処理を実現することができる。以上述べたように、高速性、低コスト性のみならず、容量をベースに演算を実行するため、消費電流が少なく、低パワー化が実現でき、8mmVTRカメラ等の携帯機器等にも好適である。

【0043】〔第6の実施例〕本発明の第6の実施例を図13に示している。第6の実施例は本発明の半導体装置を光センサ（固体撮像素子）と融合し、画像データを読み出す前に高速画像処理を行なうチップ（高速画像処理装置）を示したものである。図13（A）は全体構成を示した図、図13（B）は画素部構成を示した図、図13（C）は演算内容を示した図である。

【0044】同図において、4001は受光部、4002、4005、4007、4008はメモリ部、4004、4008は相関演算部、4010は演算出力部、4011、4012は光信号出力端子と4002、4006に示す出力バスラインとを接続する容量手段、4013はバイポーラトランジスタ、4014はバイポーラトランジスタのベース領域に接続された容量手段、4015はスイッチトランジスタである。画像データセンシング部4020に入射した画像データは、4013のバイポーラトランジスタのベース領域で光電変換される。

【0045】光電変換された光キャリアに応じた出力が4013のバイポーラトランジスタのエミッタに読み出され、容量手段4011、4012を介して出力バスライン電位に応じて押し上げる。以上の動作により、縦方

向の画素の加算結果は4007のメモリに読み出され、一方、横方向の画素の加算結果は4003のメモリに読み出される。これは画素部の容量4014を介してバイポーラのベース電位を上昇させる領域のX方向、Y方向の加算結果が出力可能となる。

【0046】たとえば、図13（C）に示す如く、 t_1 時刻に4016に示す如き画像が、 t_2 時刻に4017に示す如き画像が入力されたとすると、それぞれY報告に加算された出力結果は、4018、4019の如くなり、このデータがそれぞれ図13（A）のメモリ4007、4009に格納される。また、図13（C）の4018、4019からわかるように両者のデータは、画像の動きに対応してシフトしており、4008の相関演算部でそのシフト量を算出すれば、2次元平面での物体の動きを非常に簡単な手法により検出できる。

【0047】本発明の相関演算回路は、図13の4004、4008に設けることができ、素子数が従来回路より少なく、特にセンサ画像ピッチに配置することができる。また、以上の構成は、センサのアナログ信号ベースの演算であったが、メモリ部とバスラインとの間にAD変換回路を設けることにより、デジタル相関にも対応できることはいうまでもない。また、本発明のセンサとして、バイポーラ型を用いたが、MOS型でも又増幅用トランジスタを設けずフォトダイオードのみの構成でも有効であることはいうまでもない。

【0048】更に、本構成は、異なる時刻のデータ列間の相関演算を行ったが、一方のメモリ部に認識したい複数のパターンデータのX、Y方向の射影結果を格納しておけば、パターン認識も実現できる。

【0049】以上説明したように、画素入力部と本発明を融合することにより、

（1）従来のセンサからシリアルに読み出した後処理するのではなく、並列にかつ一括読み出したデータを並列処理するため、高速に動き検出、パターン認識処理が実現できる。

（2）センサ1チップで、周辺回路を増大させることなく、画像処理が実現できるため、低コストで、以下の高機能製品を実現できる。即ち、TV画面をユーザー方向に向ける制御、エアコンの風向きをユーザー方向に向ける制御、8mmVTRカメラの追尾制御、更には、工場でのラベル認識、人物自動認識受け付けロボット、車の車間距離制御装置などの高機能製品に応用することができる。

【0050】以上、画像入力部との融合について説明したが、画像データだけでなく、音声でも認識の処理に有効であることはいうまでもない。

【0051】〔第7の実施例〕本発明の第7の実施例を図14に示している。第7の実施例は本発明の相関演算回路部をスプレッドスペクトラム通信（SS通信）の受信回路に応用したものである。同図において、1401

は受信アンテナ、1406は信号復調部、1402は信号増幅部11403は相関演算回路部、1404はAD変換回路部、1405は判定器である。

【0052】SS通信では信号をPNコードと呼ばれる多ビットの符号に変換してそのPNコードを送信する。受信側ではあらかじめ有している同様のPNコードと、受信した信号とを比較し、最も相関の高い状態を検出して送られてきた信号を復調している。

【0053】図14において、アンテナ部1401で受信された信号は、いったん復調部1406で一次復調された後にひとつは相関演算回路ブロック1403Aに、もう一方は相関演算ブロック1403BにAD変換回路1402でデジタル信号に変換された後入力される。入力された信号は、受信側であらかじめ保持しているPNコードと比較され、二つの信号の相関度から、相関演算回路ブロック1403Aでは同期信号が形成され、その同期信号で同期をとって、相関演算ブロック1403Bで相関スコアを演算する。相関演算ブロック1403Bから出力された相関スコアを元に、判定器1405で信号が復調される。

【0054】SS通信は信号を多ビットのコードに変換して送信することから、秘話性が高く、ノイズに対して強いといった優れた特徴を有しているが、送信する情報量が増大するため、信号処理の負荷が膨大になるといった問題点があったが、本発明よりなる相関演算回路ブロック1403A、Bを用いることにより、簡単な回路構成で同様な処理を高速にこなすことができる。本発明により、SS通信技術を携帯情報機器の無線通信に応用できるようになるものである。

【0055】〔第8の実施例〕第8の実施例について、図16、図17を参照にしつつ説明する。本実施例は本発明による3ビット精度アナログ・デジタル変換器（以下AD変換器と称する。）の模式説明図である。図16において1601A、1601B、1601Cはそれぞれ

$$\{C \times V_A - (C/2) \times 5 - (C/4) \times 5\} / (C + C/2 + C/4) \dots (2)$$

この式から演算回路ブロック1601Bはアナログ信号電圧 V_A が3.75V以上の時HIGH LEVELを出力し、2.5V以上3.75V未満の時LOW LEVELを出力することがわかる。その結果を図17のS2に示す。

【0058】同様に演算回路ブロック1301Cの出力は図17のS1のようになる。

【0059】本実施例により、図17に示したようにアナログ信号電圧を3ビットのデジタル信号に変換して出力するAD変換器を、極めて小規模な構成で演算速度も高速で消費電力も低減して実現することができる。

【0060】本実施例では3ビットのAD変換器について説明したが、もちろんこれに限るものではなく、さらに多ビットにおいても容易に拡張できるものである。

【0061】本実施例では容量を用いたフラッシュ型A

れ1入力、2入力、3入力の演算回路ブロック、1602はインパータである。1603、1604、1605は前段の多数決演算回路ブロックからの出力信号を入力する端子、1606、1607、1608は通常の入力端子に接続された容量をCとすると、入力端子1603、1604、1605に対応して接続される容量値 $C/2$ 、 $C/4$ を示す。1609はアナログ信号入力端子である。また、1610はセット入力端子で、1611、1612はそれぞれのセット入力端子に対応して接続される容量値 $C/4$ 、 $C/8$ を示す。又、S1、S2、S3はデジタル出力信号端子である。本実施例で示す容量は、上述と同様であり、最小値の容量 $C/8$ を基準として、その2倍、4倍、8倍の容量を容量 $C/8$ を並列接続して構成する。

【0056】ここで、本実施例において5V電源を用いた場合の例をとって説明する。図16において、まず演算回路ブロック内のセンスアンプ入力を1601Aは0V、1601B、1301Cはおよそ2.5Vにリセットする。また信号入力端1603、1604、1605およびセット入力端子1610の入力キャパシタ2は5Vにリセットする。この時、信号入力端子1609は0Vである。次にセット入力端子1610を0Vにセットし、入力を0Vから5Vのアナログ信号電圧まで変化させると、演算回路ブロック1601Aにおいてはアナログ入力信号がおよそ2.5V以上になると、演算回路ブロック1601A内のセンスアンプ入力電圧が論理しきい値電圧（ここでは2.5Vを仮定）を越え、HIGH LEVELが出力される。その結果を図16のS3に示す。

【0057】アナログ入力信号が2.5V以上のとき、入力端子1603はリセット電位の5Vから0Vに変化する。このとき演算回路ブロック1601B内のセンスアンプ入力端での電位変化はアナログ入力信号電圧を V_A とすると下の式のようにになる。

D変換器の例について述べたが、本発明はこの方式に限るものではなく、たとえば抵抗列に投入した信号と基準信号とをコンパレータで比較し、その結果をエンコーダでエンコードする事でAD変換を行う方式のAD変換器のエンコーダ回路部などに本発明を応用しても、先に説明したのと同様の効果が得られることはいうまでもない。

【0062】また、上記では相関演算器、AD変換器を例にとりて説明してきたが、本発明はこれに限るものではなく、デジタル・アナログ変換回路、加算回路、減算回路など様々な論理回路に応用しても同様の効果が得られることはいうまでもない。

【0063】特に、DA変換器を構成する場合、LSBデータが入力される容量をCとしたとき、次の上位ビッ

トになるにつれて2C、4C、8Cと倍々にしていけば、2進のデジタルーアナログ変換が実現できる。この場合、共通接続された容量の端子をMOS型ソースフォロワンプで受ける構成にすればよい。

【0064】これらの構成により、高精度の演算ができるため、不要に大きな容量を設けることなく演算が実行できることにより、低消費電力、高速演算、高精度演算が実現した。

【0065】

【発明の効果】以上発明したように、本発明によれば多
10 入力端子にスイッチ手段を介して容量手段が接続され、
該各容量手段の一方の端子が共通接続されセンスアンプ
に入力される半導体装置において、多入力端子に対応した容量手段のうち、最小の容量をCとしたとき、前記各入力端子に接続される前記容量手段のうち少なくとも一つ以上を、容量値Cである容量手段を複数個並列接続することで形成することにより、並列演算処理を行う回路及びシステムを構成する上で、回路規模の縮小、演算速度の向上、演算精度の向上、消費電力の低減といった効果が得られるものである。

【図面の簡単な説明】

【図1】本発明による第1実施例の模式説明図である。

【図2】本発明による第1実施例の動作タイミング図である。

【図3】本発明による第2実施例の模式説明図である。

【図4】本発明による第2実施例の演算結果である。

【図5】本発明による第3実施例の模式説明図である。

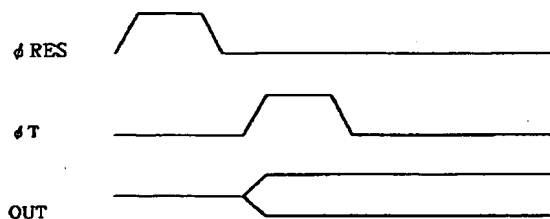
【図6】本発明による第4実施例の模式説明図である。

【図7】本発明による第4実施例の模式説明図である。

【図8】本発明による第4実施例の模式説明図である。

【図9】本発明による第4実施例の模式説明図である。

【図2】



【図10】本発明による第4実施例の模式説明図である。

【図11】本発明による第4実施例の演算結果である。

【図12】本発明による第5実施例の模式説明図である。

【図13】本発明による第6実施例の模式説明図である。

【図14】本発明による第7実施例の模式説明図である。

【図15】従来例の模式説明図である。

【図16】本発明による第8実施例の模式説明図である。

【図17】本発明による第8実施例の演算結果である。

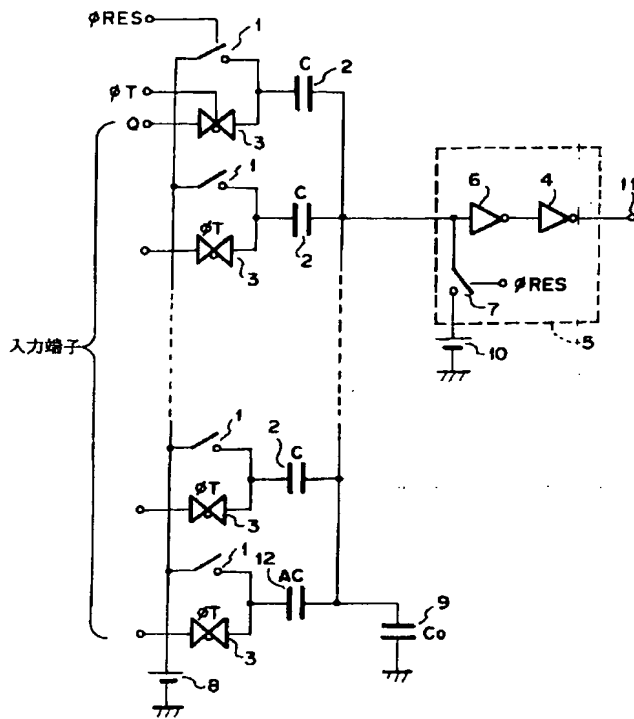
【符号の説明】

- 1 リセットスイッチ
- 2 キャパシタ
- 3 信号転送スイッチ
- 4 第二インバータ
- 5 センスアンプ
- 6 インバータ
- 7 インバータ
- 8 リセット電源
- 9 キャパシタ
- 10 第二リセット電源
- 11 出力端子
- 12 キャパシタ
- 20 1 A, B, C 入力端子
- 60 2 比較器
- 30 0 1, 30 0 2 ラインメモリ部
- 30 0 3 相関演算部

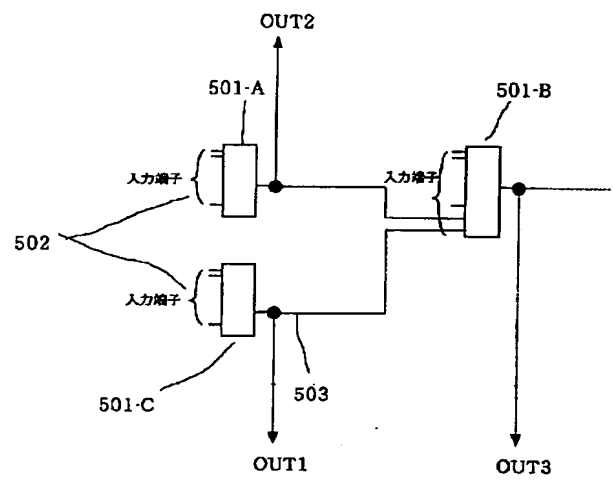
【図4】

IN1		IN2		多数決判定結果
MSB	LSB	MSB	LSB	
0	0	0	0	L
0	0	0	1	L
0	0	1	0	L
0	0	1	1	L
0	1	0	0	L
0	1	0	1	L
0	1	1	0	L
0	1	1	1	H
1	0	0	0	L
1	0	0	1	L
1	0	1	0	H
1	0	1	1	H
1	1	0	0	L
1	1	0	1	H
1	1	1	0	H
1	1	1	1	H

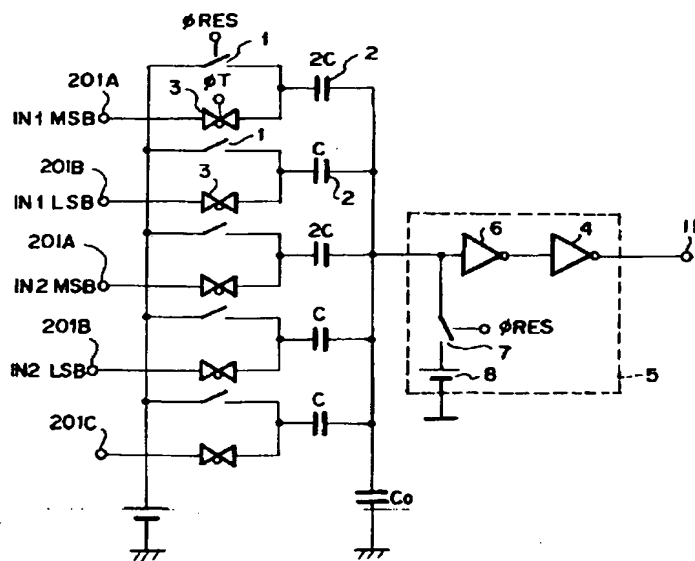
【図1】



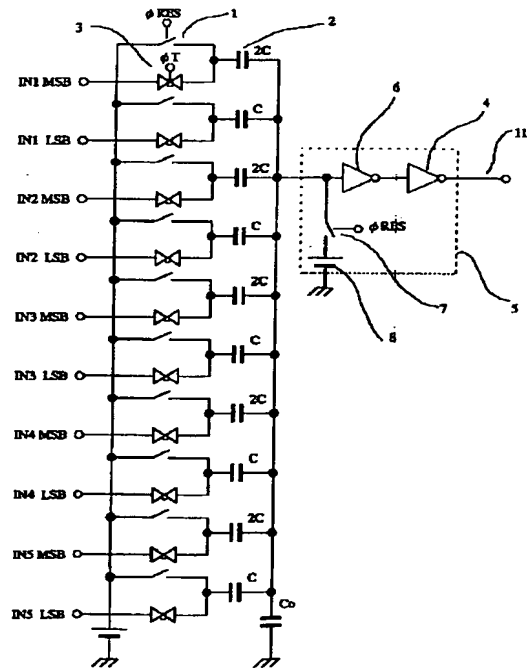
【図5】



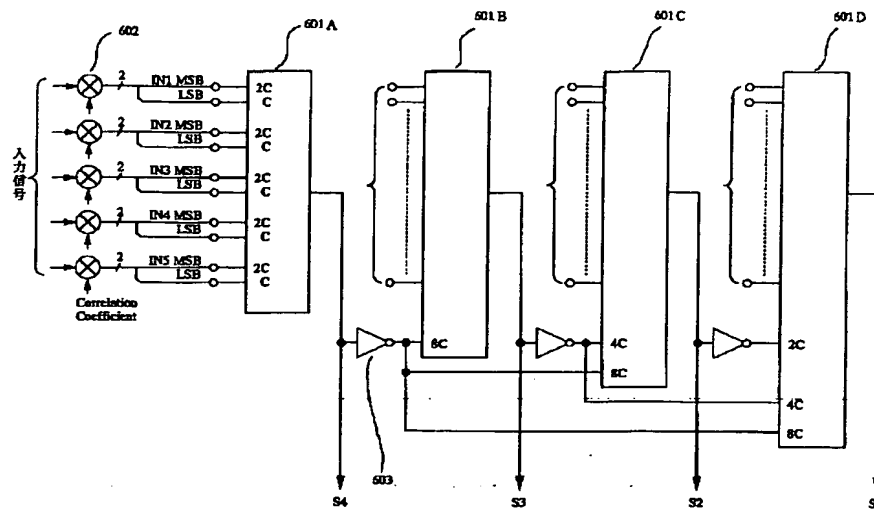
【図3】



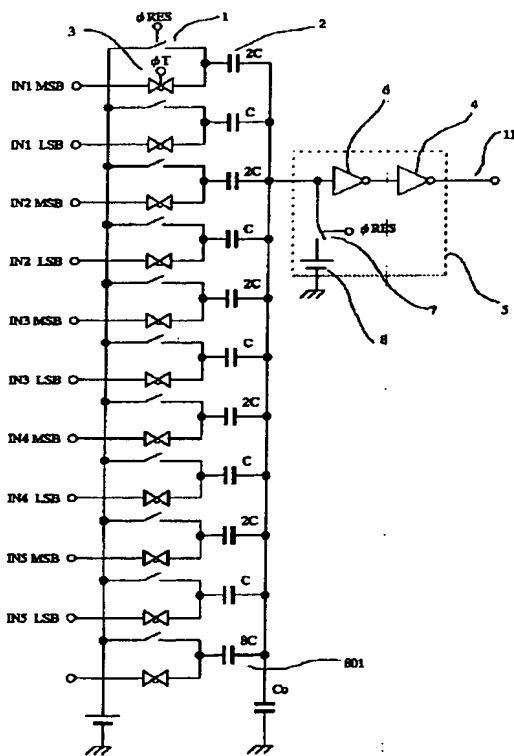
【図7】



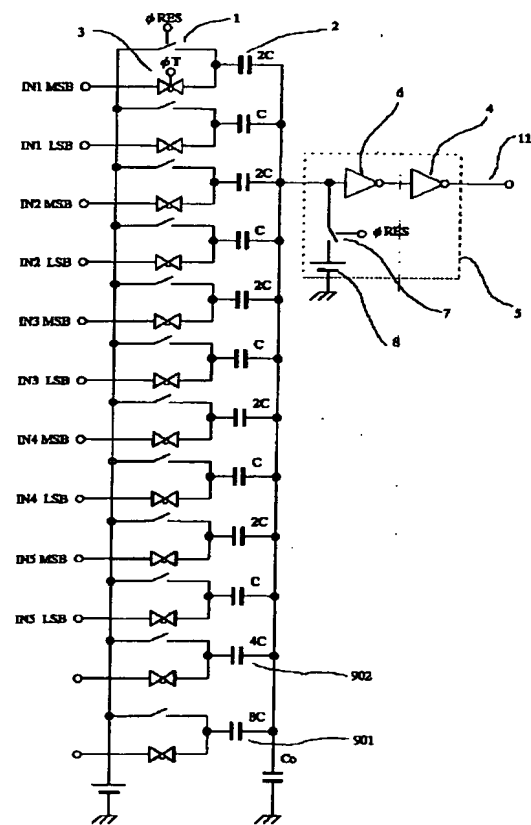
【図6】



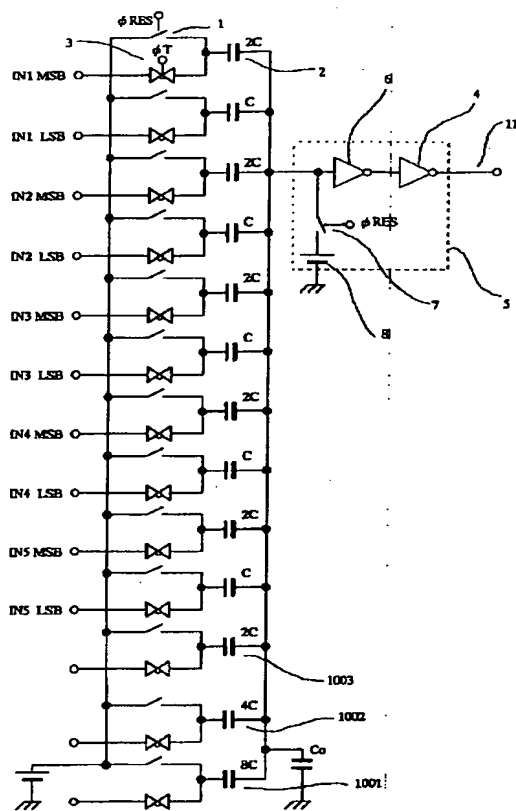
【図8】



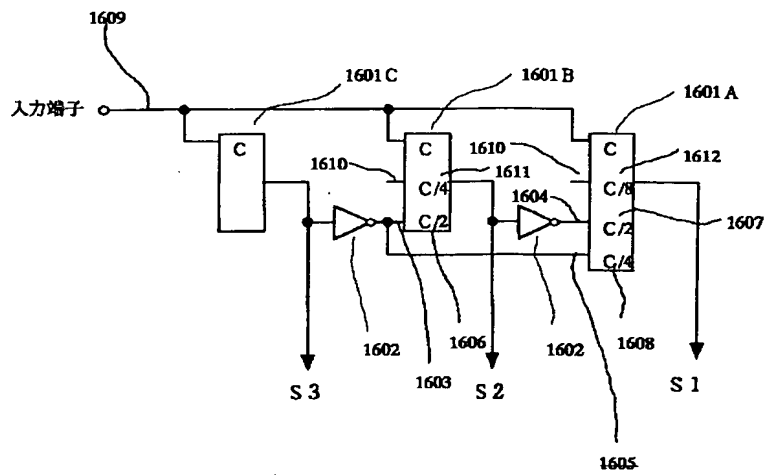
【図9】



【図10】



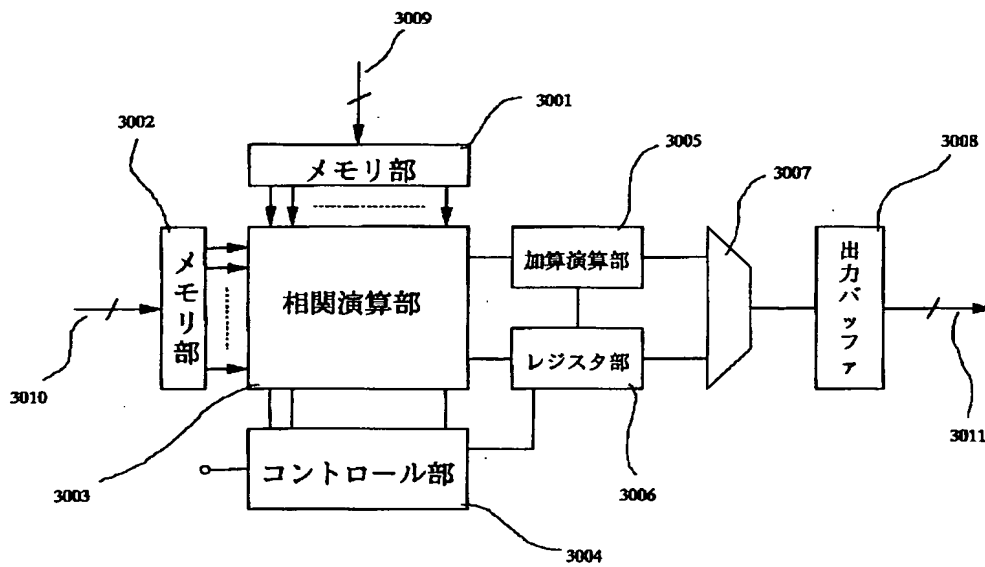
【図16】



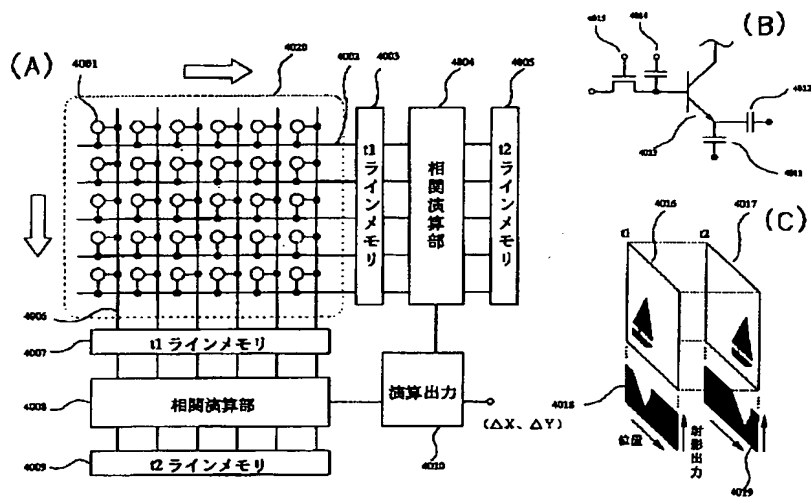
【図11】

HIGH LEVELが印加される キャパシタの容量値	S 4	S 3	S 2	S 1	入力の組み合わせ
0 C	0	0	0	0	00+00+00+00+00
1 C	0	0	0	1	00+00+00+00+01
2 C	0	0	1	0	00+00+00+01+01, 00+00+00+00+10
3 C	0	0	1	1	
4 C	0	1	0	0	
5 C	0	1	0	1	
6 C	0	1	1	0	
7 C	0	1	1	1	
8 C	1	0	0	0	
9 C	1	0	0	1	
10 C	1	0	1	0	
11 C	1	0	1	1	
12 C	1	1	0	0	
13 C	1	1	0	1	11+11+11+11+01, 11+11+11+10+10
14 C	1	1	1	0	11+11+11+11+10
15 C	1	1	1	1	11+11+11+11+11

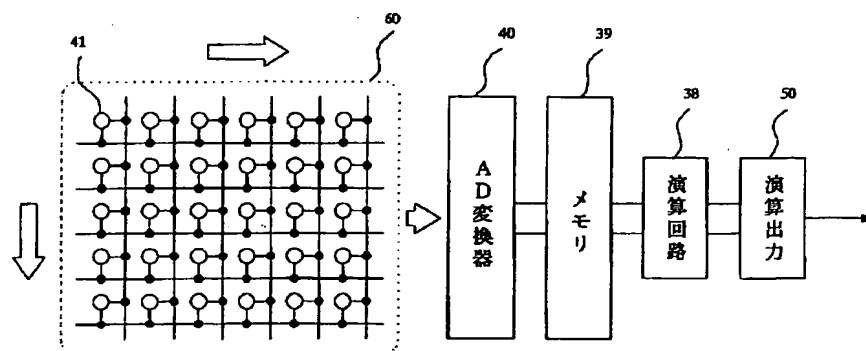
【図12】



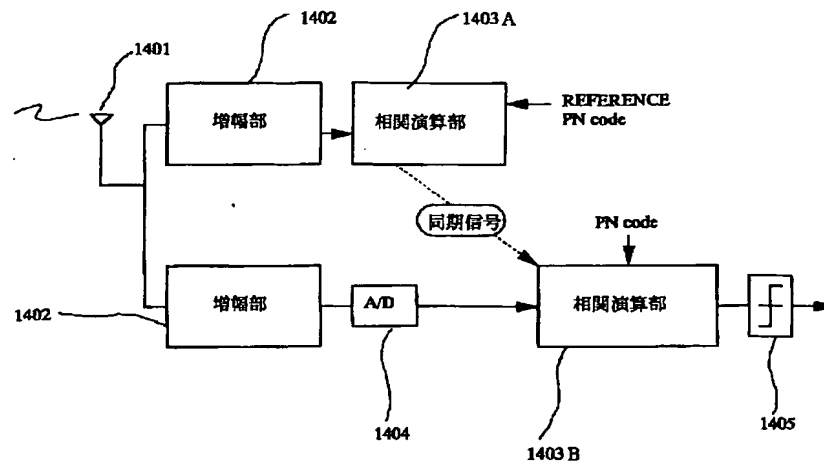
【図13】



【図15】



【図14】



【図17】

アナログ入力信号電圧	S 3	S 2	S 1
$0.0 \leq V_A < 0.625$	0	0	0
$0.625 \leq V_A < 1.25$	0	0	1
$1.25 \leq V_A < 1.875$	0	1	0
$1.875 \leq V_A < 2.5$	0	1	1
$2.5 \leq V_A < 3.125$	1	0	0
$3.125 \leq V_A < 3.75$	1	0	1
$3.75 \leq V_A < 4.375$	1	1	0
$4.375 \leq V_A < 5.0$	1	1	1